

Nome LEGÍVEL: \_\_\_\_\_ Matrícula: \_\_\_\_\_

1 – (0,8 pt) - A arquitetura RISC, que inicialmente parecia poder dominar o mercado de microprocessadores em substituição à arquitetura CISC, acabou não conseguindo abalar o domínio dos microprocessadores com grande número de instruções. Entre os motivos para que isso ocorresse, inclui-se o fato de que as(os)

- ( ) arquiteturas CISC puderam ser incorporadas em chips de arquitetura RISC, como o Sun UltraSparc.
- ( ) arquiteturas RISC acabaram provando ser mais lentas por causa do aumento da velocidade da memória principal.
- (X) **arquiteturas RISC puderam ser incorporadas em chips de arquitetura CISC, como no Intel 486.**
- ( ) arquiteturas RISC se mostraram adequadas apenas para implementação em GPUs.
- ( ) primeiros microprocessadores RISC, como MIPS e UltraSparc, nunca foram incorporados a computadores reais, o que ocasionou o descrédito da arquitetura RISC.

2 – (0,8 pt) Considere uma memória cache de 64 KBytes. A transferência de dados entre a memória principal e a memória cache ocorre em blocos de 4 bytes cada. O número de bits necessários para representar cada linha da memória cache é:

- ( ) 8
- (X) **14**
- ( ) 16
- ( ) 24
- ( ) 32

Tamanho = 64 KB e Linha = 4 B

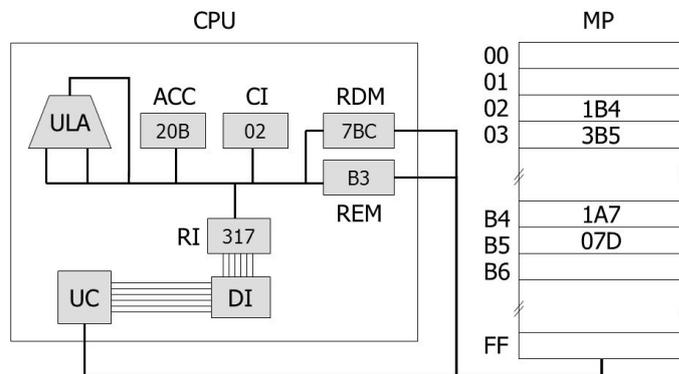
---

A questão pede o número de bits da linha, mas para isso precisamos primeiro calcular o total de linhas.  
 Total de Linhas = Tamanho / Linha  
 Total de Linhas = 64 KB / 4 B = 16K

---

(Nº endereços =  $2^{\text{Nº de bits do endereço}}$ )  
 $16 K = 2^4 \cdot 10^3$  (Corresponde ao 16) \*  $2^{10}$  (Corresponde ao K) =  $4 + 10 = 14$   
 Resposta: 14 bits

3 – (0,8 pt) Dada a figura abaixo, assinale a resposta CORRETA:



- ( ) O Clock físico fica ligado à ULA
- ( ) O barramento ligado ao REM é bidirecional
- (X) **O ACC é um registrador de memória SRAM**
- ( ) O barramento da UC é unidirecional
- ( ) A próxima instrução é a 3B5

4 – (0,8 pt) Realizar pequenas atividades em paralelo usando, ao mesmo tempo, as várias fases de execução de instruções do processador, caracteriza o(a):

- ( ) Hyperthreading
- ( ) UltraDMA
- ( ) Overclocking
- ( ) Grid Computing
- (X) **Pipelining**

5 – (0,8 pt) O projeto da memória de um sistema computacional leva em consideração três aspectos essenciais: a quantidade de armazenamento, a rapidez no acesso e o preço por bit de armazenamento. Uma correta ordenação dos tipos de memória, partindo do nível mais alto para o mais baixo da hierarquia é:

- ( ) Cache L2, cache L1, cache de disco, discos, memória principal (RAM), registradores.
- ( ) Discos, cache de disco, memória principal (RAM), cache L2, cache L1, registradores.
- ( ) Cache L2, cache L1, cache de disco, memória principal (RAM), registradores, discos.
- ( ) Memória principal (RAM), registradores, cache L1, cache L2, cache de disco, discos.
- (X) **Registradores, cache L1, cache L2, memória principal (RAM), cache de disco, discos.**

Nome LEGÍVEL: \_\_\_\_\_ Matrícula: \_\_\_\_\_

6 – (3,0 pt) – Faça as operações. Os cálculos são obrigatórios.

- a)  $(3E54)_{16} + (1257)_8 = (16643)_{10}$   
 b)  $(3E54)_{16} - (1257)_8 = (15269)_{10}$   
 c)  $(4560)_8 \div (21F)_{16} = (100)_2$   
 d)  $(4560)_8 \times (F)_{16} = (8D90)_{16}$

7 – (1,5 pt) Um processador com clock de 1GHz tem um soquete com 128 pinos. Sua capacidade de endereçar memória é 256GB, e as células possuem 16 bits cada. Sua velocidade de transferência é de 10Gbps. Defina o tamanho do BD, BE e BC deste sistema computacional.

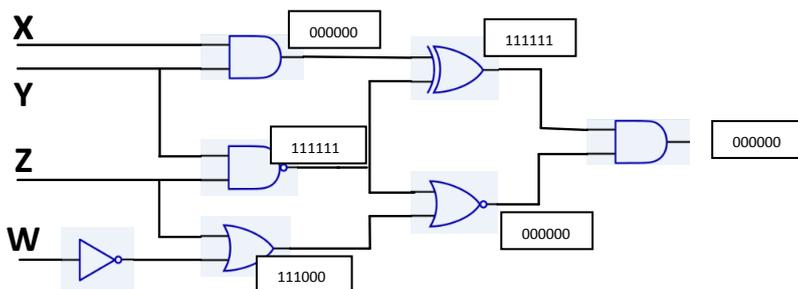
$$256 = 2^8; G = 2^{30}; 16 = 2^4$$

$$END = 2^{BE}; 256G = 2^{BE} \times 16; 2^8 \times 2^{30} = 2^{BE} \times 2^4; \boxed{BE = 34}$$

$$T = L \times V; 10G = BD \times 1G; \boxed{BD = 10}$$

$$128 = BD + BE + BC; \boxed{BC = 84}$$

8 – (1,5 pt) Um sistema usa o diagrama lógico abaixo e possui os seguintes valores de entrada: X=101010, Y = 1, Z = 0 e W=111. Qual é o valor da saída ?



X = 101010  
 Y = 000001  
 Z = 000000  
 W = 000111

X AND Y = 000000  
 Y AND Z = 000000  
 NOT (Y AND Z) = 111111  
 NOT W = 111000  
 Z OR NOT W = 111000  
 000000 XOR 111111 = 111111  
 111111 NOR 111000 = 000000  
 111111 AND 000000 = 0